

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-055932
 (43)Date of publication of application : 05.03.1993

(51)Int. Cl. H03M 13/12
 H04L 25/08

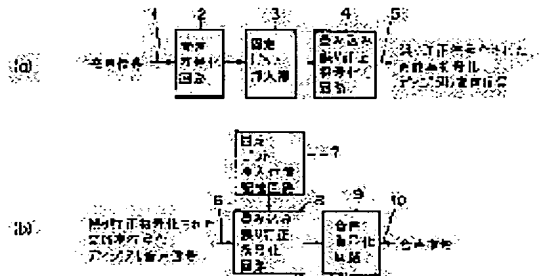
(21)Application number : 03-212285 (71)Applicant : MATSUSHITA ELECTRIC IND
 CO LTD
 (22)Date of filing : 23.08.1991 (72)Inventor : KATO OSAMU
 MIYAWA SUSUMU

(54) ERROR CORRECTION CODING AND DECODING DEVICE

(57)Abstract:

PURPOSE: To improve the error correction capability in the error correction coding and decoding device.

CONSTITUTION: After a fixed bit insert section 3 inserts a fixed bit to an information signal series subject to convolution correction coding, a convolution error correction coding circuit 4 encodes the result, fixed bit insert position information stored in a fixed bit insert position storage circuit 7 at a decoder side is used, and a state transition corresponding to the bit location in which the information bit is a fixed bit is limited only to one way depending on the fixed bit value (0 or 1) and the result is decoded by a convolution error correction decoding circuit 8.



LEGAL STATUS

[Date of request for examination] 03.03.1995
 [Date of sending the examiner's decision of rejection] 08.12.1998
 [Kind of final disposal of application withdrawal other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application] 13.12.1999
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection] 11-00469
 [Date of requesting appeal against examiner's decision of rejection] 07.01.1999
 [Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-55932

(43)公開日 平成5年(1993)3月5日

(51)IntCl.⁵

H 0 3 M 13/12

H 0 4 L 25/08

識別記号

庁内整理番号

F I

技術表示箇所

7259-5 J

B 8226-5K

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平3-212285

(22)出願日 平成3年(1991)8月23日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 加 藤 修

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(72)発明者 宮 和 行

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

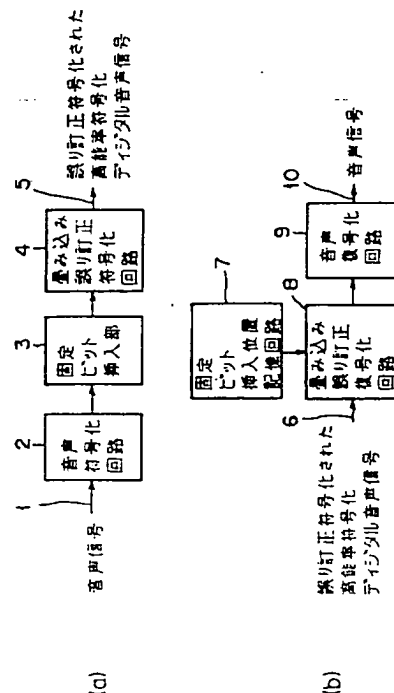
(74)代理人 弁理士 蔵合 正博

(54)【発明の名称】 誤り訂正符号化装置

(57)【要約】

【目的】 誤り訂正符号化装置における誤り訂正能力を向上させること。

【構成】 畳み込み訂正符号化する情報信号系列に、固定ビット挿入部3で固定ビットを挿入した後に、畳み込み誤り訂正符号化回路4で符号化し、復号側では、固定ビット挿入位置記憶回路7に記憶された固定ビット挿入位置情報を利用して、情報ビットが固定ビットであるビット位置に対応する状態遷移を固定ビットの値(0または1)で決まる1通りのみに制限するようにして畳み込み誤り訂正復号化回路8で復号化する。



【特許請求の範囲】

【請求項1】 畳み込み誤り訂正符号化すべき情報信号系列に、1ビットまたは複数ビットの固定値（0または1）を挿入する固定ビット挿入部と、固定ビットが挿入された情報信号系列を入力とする畳み込み誤り訂正符号化回路とを有する誤り訂正符号化装置と、固定ビット挿入位置の情報を記憶した固定ビット挿入位置記憶回路と、固定ビット位置に対応する状態遷移を固定ビットの値（0または1）で決まる1通りのみに制限して送信信号の最尤復号を行う畳み込み誤り訂正復号化回路とを有する誤り訂正復号化装置とを備えた誤り訂正復号化装置。

【請求項2】 畳み込み誤り訂正符号化すべき情報信号系列のうち、誤り感度の高い重要なビットを、畳み込み符号化の最初および最後ならびに挿入した固定ビットの前後のなるべく固定ビットに近い位置に配するようにした請求項1記載の誤り訂正復号化装置。

【請求項3】 固定ビットの挿入により符号化率が低下する分を、バンクチャド符号化することにより補償した請求項1記載の誤り訂正復号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディジタル自動車電話等に使用する誤り訂正復号化装置に関する。

【0002】

【従来の技術】従来、ディジタル自動車電話等の無線を伝送路とするシステムでは、劣悪な伝送路品質（高い回線ビット誤り率）でも一定以上の情報データ伝送品質を保持できるように、強力な誤り訂正符号化が行われている。この強力な誤り訂正符号の1つに畳み込み符号があり、畳み込み符号の復号方法にはトレリス（格子）線図を用いて最尤複合を行うビタビ復号が知られている。

【0003】図4は従来の誤り訂正復号化装置の構成を示しており、図4（a）は符号化側のブロック図、図4（b）は復号化側のブロック図を示している。図4においては、誤り訂正符号化すべき情報信号の例として、高能率符号化ディジタル音声信号が示されている。

【0004】図4（a）において、21は音声信号であり、音声符号化回路22により高能率符号化ディジタル音声信号に変換される。23は畳み込み誤り訂正符号化回路であり、変換された高能率符号化ディジタル音声信号の全部または一部を誤り訂正符号化する。24は誤り訂正符号化された高能率符号化ディジタル音声信号であり、この信号が送信信号として無線で送出される。

【0005】図4（b）において、25は誤り訂正符号化された高能率符号化ディジタル音声信号であり、畳み込み誤り訂正復号化回路26により誤り訂正復号化される。27は音声復号化回路であり、誤り訂正復号化された高能率符号化ディジタル音声信号を音声信号28へと復号化する。

【0006】図5は上記畳み込み誤り訂正符号化回路23の構成を示している。ここでは、符号化の例として符号化率（情報信号ビット数と送信信号ビット数の比） $R = 1/2$ 、拘束長（送信信号の生成に関する情報ビットのビット数） $K = 3$ としている。

【0007】情報信号系列29は、 X_0, X_1, X_2, \dots の順にシフトレジスタ30, 31に入力され、情報信号系列29の入力値およびシフトレジスタ30, 31の出力値を、それぞれ排他的論理和回路32, 33, 34で排他的論理和演算することにより、送信信号系列（畳み込み符号化信号）35, 36が得られる。無線で送出される送信順番は、 $Y_0, Y_1, Y_2, Y_3, \dots$ の順である。

【0008】図6は畳み込み誤り訂正復号化方法（ビタビ復号）を行なう際に用いるトレリス線図と呼ばれる状態遷移図を示している。状態 S_0 から S_1 は、符号化におけるシフトレジスタ30および31の値を表し、 S_0 が $(R_0, R_1) = (0, 0)$ 、 S_1 が $(R_0, R_1) = (1, 0)$ 、 S_2 が $(R_0, R_1) = (0, 1)$ 、 S_3 が $(R_0, R_1) = (1, 1)$ を表す。

【0009】トレリス線図は、各状態 $S_0 \sim S_3$ において、情報信号として0または1が入力した場合の遷移先状態への分岐を、連続する情報信号ビット系列に対して図示したものである。例えば S_0 において、情報信号として0が入力すると、次の状態は S_0 となり、1が入力すると次の状態は S_1 となるので、 S_2 からは S_0 および S_1 へと分岐している。この各状態から次の状態への分岐線をブランチ（枝）と呼び、情報信号系列 X_0, X_1, X_2, \dots に対応するブランチの連続したものをパスと呼ぶ。全ての情報信号系列（ X_0, X_1, X_2, \dots の各々が0または1をとり得る）は、トレリス線図のいずれかのパスで表すことができる。

【0010】ビタビ復号は、受信信号系列 $Y^*, Y^*_1, Y^*_2, Y^*_3, \dots$ と、各パス（すなわち各情報信号系列）に対応する送信信号系列 $Y_0, Y_1, Y_2, Y_3, \dots$ とを全パスに対して比較して、最も送信信号系列として確率の高いものを判定し、その送信信号系列に対応する情報信号系列が、送信側で畳み込み符号化された情報信号系列 X_0, X_1, X_2, \dots であると判定して、その情報信号系列へと復号する方法である。

【0011】このように、上記従来の誤り訂正復号化装置でも、送信信号系列 $Y_0, Y_1, Y_2, Y_3, \dots$ に回線誤りが生じて、復号側で受信信号系列 $Y^*, Y^*_1, Y^*_2, Y^*_3, \dots$ に変化したとしても、その回線誤りが畳み込み符号の誤り訂正能力以内であれば、ビタビ復号により、復号側で正しく情報信号を再生することができる。

【0012】

【発明が解決しようとする課題】しかしながら、上記従来の誤り訂正復号化装置では、回線ビット誤り率が高

く、畳み込み符号の訂正能力を越えてしまうと、誤り訂正復号において正しい情報信号を再生できずに、ビット誤りが残留してしまうという問題があった。

【0013】本発明は、このような従来の問題を解決するものであり、同じ回線ビット誤り率に対して、より低い残留ビット誤り率を得ることのできる優れた誤り訂正符復号化装置を提供することを目的とするものである。

【0014】

【課題を解決するための手段】本発明は、上記目的を達成するために、誤り訂正符号化すべき情報信号系列に、1ビットまたは複数ビットの固定値（0または1）を挿入してから誤り訂正符号化し、誤り訂正復号化においては、固定ビット位置に対応する状態遷移を固定ビットの値（0または1）で決まる1通りのみに制限するようにしたものである。

【0015】

【作用】したがって、本発明によれば、トレリス線図のパスの途中で挿入ビット数分のブランチを1通りの正しい分岐に絞ることができ、畳み込み符号の誤り訂正能力、特に固定ビットを挿入したビット位置の前後の情報信号に対する誤り訂正能力を高めることができる。

【0016】

【実施例】図1は本発明の一実施例における誤り訂正符復号化装置の構成を示しており、図1(a)は符号化側のブロック図を示し、図1(b)は復号化側のブロック図を示している。図1においては、誤り訂正符号化すべき情報信号の例として、高能率符号化デジタル音声信号を示している。

【0017】図1(a)において、1は送信すべき音声信号、2は音声符号化回路、3は固定ビット挿入部、4は畳み込み誤り訂正符号化回路、5は送信される誤り訂正符号化された高能率符号化デジタル音声信号である。図1(b)において、6は受信された誤り訂正符号化された高能率符号化デジタル音声信号、7は固定ビット挿入位置記憶回路、8は畳み込み誤り訂正復号化回路、9は音声復号化回路、10は復号化された音声信号である。

【0018】次に上記実施例の動作について説明する。音声信号1は、音声符号化回路2により高能率符号化デジタル音声信号に変換され、その全部または一部の誤り訂正符号化されるべき情報信号に対して、固定ビット挿入部3で1ビットまたは複数ビットの固定値（0または1）を挿入され、次いで畳み込み誤り訂正符号化回路4により誤り訂正符号化され、誤り訂正符号化された高能率符号化デジタル音声信号5が無線で送出される。

【0019】一方、復号化側で受信された誤り訂正符号化された高能率符号化デジタル音声信号6は、固定ビット挿入位置記憶回路7に記憶された固定ビット挿入位置情報を利用して、畳み込み誤り訂正復号化回路8により誤り訂正復号化され、さらに音声復号化回路9により

音声信号10へと復号化される。

【0020】次に上記実施例における畳み込み誤り訂正符号化回路4の構成および動作について、図2を参照してさらに詳しく説明する。符号化の例としては、符号化率 $R=1/2$ 、拘束長 $K=3$ としている。

【0021】図2において、11は X_0, X_1, X_2, \dots 等の情報信号系列であり、12, 13はシフトレジスタ、14, 15, 16は排他的論理和回路、17, 18は送信信号系列である。情報信号系列11の X_0, X_1, X_2, \dots のうち、1ビットまたは複数ビットが固定ビット挿入部3で挿入された固定ビットとなっていることを除いては、従来例と同じ構成および動作を有する。すなわち、情報信号系列11は、 X_0, X_1, X_2, \dots の順にシフトレジスタ12, 13に入力され、情報信号系列11の入力値およびシフトレジスタ12, 13の出力値をそれぞれ排他的論理和回路14, 15, 16で排他的論理和演算することにより、送信信号系列（畳み込み符号化信号）17, 18が得られる。無線で送出される送信順番は、 $Y_0, Y_1, Y_2, Y_3, \dots$ の順である。なお、ここでは、情報信号系列11のうち、 X_i が固定ビットであり、その値は0であるとしている。

【0022】図3は上記実施例における畳み込み誤り訂正復号化方法（ビタビ復号）を行う際のトレリス線図である。状態 S_0 から S_1 は符号化におけるシフトレジスタ12および13の値を表し、 S_0 が $(R_0, R_1) = (0, 0)$ 、 S_1 が $(R_0, R_1) = (1, 0)$ 、 S_2 が $(R_0, R_1) = (0, 1)$ 、 S_3 が $(R_0, R_1) = (1, 1)$ を表す。

【0023】本実施例においても従来例と同様に、受信信号系列 $Y_0, Y_1, Y_2, Y_3, \dots$ と、各パスに対応する送信信号系列 $Y_0, Y_1, Y_2, Y_3, \dots$ とを全パスに対して比較して、最も送信信号系列として確率の高いものを判定し、その送信信号系列に対応する情報信号系列が、送信側で畳み込み符号化された情報信号系列 X_0, X_1, X_2, \dots であると判定して、その情報信号系列へと復号する。

【0024】但し、本実施例においては、情報信号に固定ビットが挿入されているので（ここでは例として $X_i = 0$ が固定ビット）、その固定ビットに対応する状態遷移は、 $S_0 \rightarrow S_0, S_1 \rightarrow S_2, S_2 \rightarrow S_0, S_3 \rightarrow S_1$ のように各状態 $S_0 \sim S_3$ に対して1通りのみの正しい分岐に絞ることができ、トレリス線図の情報信号 X_i に対する状態遷移を図3のように削減することができる。したがって最終的に選択されるパスとして、 X_i を誤って復号するパスが選択される確立は0にでき、復号ビット誤りが伝搬する特徴のある畳み込み符号に X_i 近傍の情報信号の誤り訂正確立を改善することができる。

【0025】なお、上記実施例において、誤り訂正符号化すべき情報信号のうち、誤り感度の高い重要なビット

を、畳み込み符号の誤り訂正能力がもともと高い符号化の最初および最後の他に、挿入した固定ビットの前後近傍に配するようにすることで、より高品質なデータ伝送を行うことができる。

【0026】また、固定ビットの挿入により符号化率が低下する分を、パंकチャド符号化して補償することにより、より高い誤り訂正能力を得ることができる。

【0027】さらに、挿入する固定ビット数を適切に設定することにより、畳み込み符号の符号化率に柔軟性を与えることができるという利点を有する。

【0028】

【発明の効果】本発明は、上記実施例から明らかなように、誤り訂正符号化すべき情報信号系列に、1ビットまたは複数ビットの固定値(0または1)を挿入してから誤り訂正符号化するため、復号側のビタビ復号において、トレリス線図の固定ビット位置に対応する状態遷移を固定ビットの値(0または1)で決まる1通りのみの正しい分岐に絞ることができ、畳み込み符号の誤り訂正能力、特に固定ビットを挿入したビット位置の前後の情報信号に対する誤り訂正能力を高めることができる。

【0029】さらに本発明によれば、挿入する固定ビット数を適切に設定することにより、畳み込み符号の符号率に柔軟性を与えることができるという効果を有する。すなわち、符号化率 R を $R=1/2$ だけでなく、 $R=1/2$ 、 1 や $R=1/2$ 、 3 のような値に設定することが可能である。

【図面の簡単な説明】

【図1】(a) 本発明の一実施例における誤り訂正符復

号装置の符号化側の概略ブロック図

(b) 同装置における復号化側の概略ブロック図

【図2】同装置における誤り訂正符号回路の概略ブロック図

【図3】同装置における畳み込み誤り訂正復号化回路の動作を説明するためのトレリス線図

【図4】(a) 従来例における誤り訂正符号装置の符号化側の概略ブロック図

(b) 同装置における復号化側の概略ブロック図

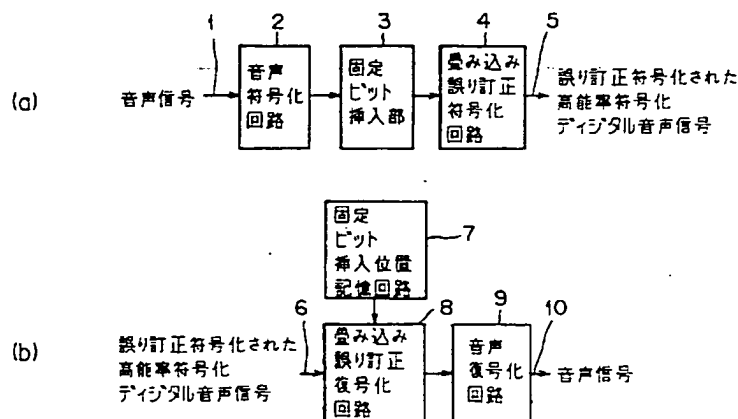
10 【図5】同装置における畳み込み誤り訂正符号化回路の概略ブロック図

【図6】同装置における畳み込み誤り訂正復号化回路の動作を説明するためのトレリス線図

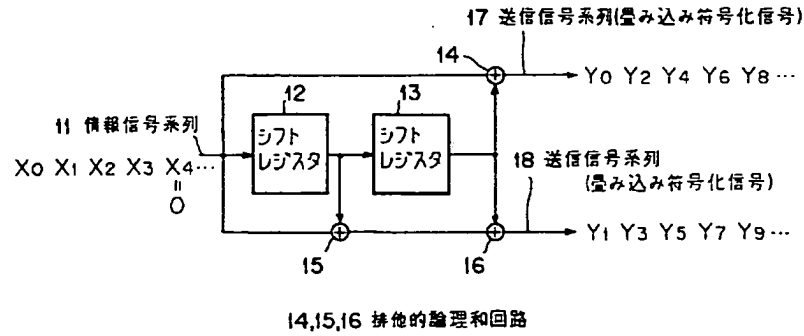
【符号の説明】

- 1 音声信号
- 2 音声符号化回路
- 3 固定ビット挿入部
- 4 畳み込み誤り訂正符号化回路
- 5, 6 誤り訂正符号化された高能率符号化デジタル音声信号
- 10 音声信号
- 7 固定ビット挿入位置記憶回路
- 8 畳み込み誤り訂正復号化回路
- 9 音声復号化回路
- 10 音声信号
- 11 情報信号系列
- 12, 13 シフトレジスタ
- 14, 15, 16 排他的論理和回路
- 17, 18 送信信号系列(畳み込み符号化信号)

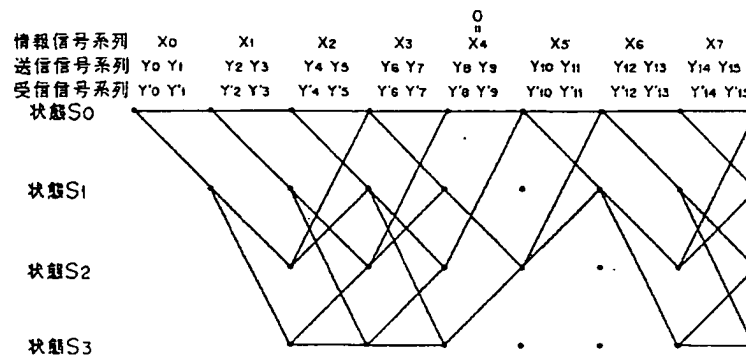
【図1】



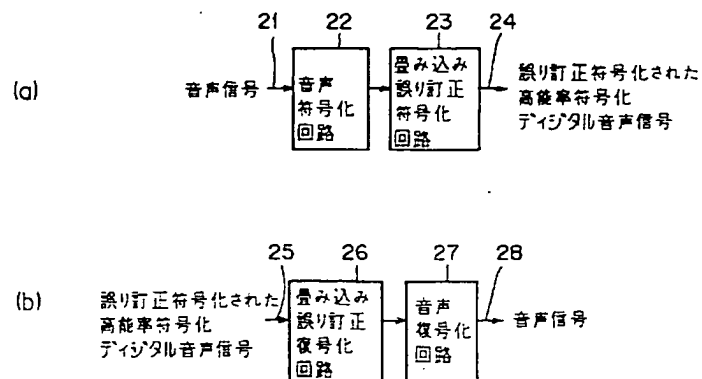
【図 2】



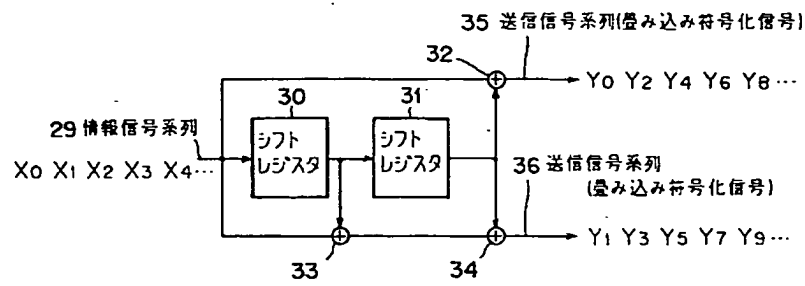
【図 3】



【図 4】



【図5】



32,33,34 排他的論理和回路

【図6】

